

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-229361

(P2003-229361A)

(43)公開日 平成15年8月15日 (2003.8.15)

(51)Int.Cl.⁷

H 01 L 21/20
21/265
21/76
29/161

識別記号

F I

H 01 L 21/20
29/161
21/265
21/76

テマコード(参考)

5 F 0 3 2
5 F 0 5 2

Q
L

審査請求 未請求 請求項の数18 O L (全 13 頁)

(21)出願番号 特願2002-359955(P2002-359955)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22)出願日 平成14年12月11日 (2002.12.11)

(72)発明者 ジェーチェン マー

アメリカ合衆国 ワシントン 98683,
バンクーバー, エスイー ソロモン ル
ープ 1511

(31)優先権主張番号 10/062, 336

(74)代理人 100078282

(32)優先日 平成14年1月31日 (2002.1.31)

弁理士 山本 秀策 (外2名)

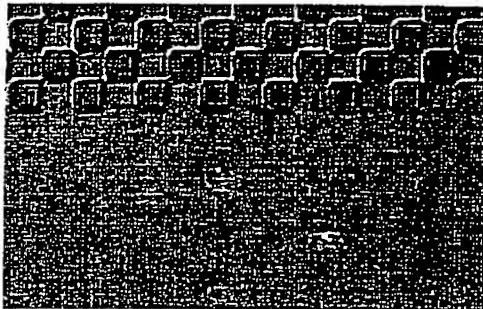
(33)優先権主張国 米国 (U.S.)

最終頁に続く

(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【課題】 3000 Åを超える厚さを有する著しく歪み緩和されたSiGe膜を有する半導体基板を形成する。
【解決手段】 比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法は、シリコン基板を提供する工程と、SiGe層を約100 nm～500 nmの厚さに堆積する工程であって、SiGe層のゲルマニウム濃度が原子比で20%よりも高い工程と、約 $1 \cdot 10^{16} \text{ cm}^{-2}$ ～ $5 \cdot 10^{16} \text{ cm}^{-2}$ のドーズで、約20 keV～45 keVのエネルギーで、H⁺イオンをSiGe層に注入する工程と、SiGe層をフォトレジストでパターニングする工程と、得られた構造体をプラズマエッチングして、領域の周囲にトレンチを形成する工程と、フォトレジストを除去する工程と、不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、基板およびSiGe層を熱アーリングして、SiGe層を緩和する工程とを含む。



18

【特許請求の範囲】

【請求項1】 比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、

シリコン基板を準備する工程と、

該シリコン基板上に、Ge濃度が原子比率で20%よりも高いSiGe層を、約100nm～500nmの厚さに堆積する工程と、

約 $1 \cdot 10^{18}$ cm⁻²～ $5 \cdot 10^{18}$ cm⁻²のドーズ量、約20keV～45keVのエネルギーで、H⁺イオンを該SiGe層に注入する工程と、

該SiGe層をフォトレジストでバーニングする工程と、

バーニングされたSiGe層をプラズマエッチングして、一辺の寸法が4μ以下の領域の周囲にトレンチを形成する工程と、

該フォトレジストを除去する工程と、

不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、該シリコン基板および該SiGe層を熱アニーリングして、該SiGe層の歪みを緩和する工程とを含む、半導体基板の製造方法。

【請求項2】 前記SiGe層を堆積する工程が、約400°C～600°Cの温度で行われる請求項1に記載の半導体基板の製造方法。

【請求項3】 前記歪みの緩和されたSiGe層の上に、引張歪みがかかったSi層を5nm～30nmの厚さに堆積する工程をさらに含む請求項1に記載の半導体基板の製造方法。

【請求項4】 前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50nm～200nmの厚さを有する歪みの緩和されたSiGe層を堆積する工程をさらに含む、請求項1に記載の半導体基板の製造方法。

【請求項5】 前記熱アニーリングがアルゴン雰囲気中で行われる、請求項1に記載の半導体基板の製造方法。

【請求項6】 前記バーニングする工程において、前記SiGe層を格子状にバーニングする、請求項1に記載の半導体基板の製造方法。

【請求項7】 比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、

シリコン基板を準備する工程と、

該シリコン基板に、Ge濃度が原子比率で20%よりも高いSiGe層を約100nm～500nmの厚さに堆積する工程と、

約 $1 \cdot 10^{18}$ cm⁻²～ $5 \cdot 10^{18}$ cm⁻²のドーズ量、約20keV～45keVのエネルギーで、H⁺イオンを該SiGe層に注入する工程と、

該SiGe層をフォトレジストで格子状のパターンにバーニングする工程と、

バーニングされた該SiGe層およびシリコン基板の

積層構造体をプラズマエッティングして、一辺の寸法が4μm×4μm以下の領域の周囲にトレンチを形成する工程と、

該フォトレジストを除去する工程と、

不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、前記シリコン基板および該SiGe層を熱アニーリングして、該SiGe層の歪みを緩和する工程とを含む、半導体基板の製造方法。

【請求項8】 前記SiGe層を堆積する工程が、約400°C～600°Cの温度で行われる、請求項7に記載の半導体基板の製造方法。

【請求項9】 前記歪みの緩和されたSiGe層の上に、引張歪みがかかったシリコンの層を5nm～30nmの厚さに堆積する工程をさらに含む、請求項7に記載の半導体基板の製造方法。

【請求項10】 前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50～200nmの厚さを有する歪みの緩和されたSiGe層を堆積する工程をさらに含む、請求項7に記載の半導体基板の製造方法。

【請求項11】 前記熱アニーリングがアルゴン雰囲気中で行われる、請求項7に記載の半導体基板の製造方法。

【請求項12】 比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、

シリコン基板を準備する工程と、

該シリコン基板上に、SiGe層を、該シリコン基板に隣接する位置においてGe濃度が原子比率で約20%であり、上部において約30%の傾斜組成となるように、

約400°C～600°Cの温度で、約100nm～500nmの厚さに堆積する工程と、

該SiGe層に、約 $1 \cdot 10^{18}$ cm⁻²～ $5 \cdot 10^{18}$ cm⁻²のドーズ量で、約20keV～45keVのエネルギーで、H⁺イオンを注入する工程と、

該SiGe層をフォトレジストで格子状のパターンにバーニングする工程と、

バーニングされた該SiGe層をプラズマエッティングして、格子状パターンの内部領域の周囲にトレンチを形成する工程と、

該フォトレジストを除去する工程と、

不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、該基板および該SiGe層を熱アニーリングして、該SiGe層の歪みを緩和する工程とを含む、半導体基板の製造方法。

【請求項13】 前記歪みの緩和されたSiGe層の上に、引張歪みがかかったシリコンの層を約5nm～30nmの厚さに堆積する工程をさらに含む、請求項12に記載の半導体基板の製造方法。

【請求項14】 前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50～200nmの厚さを

有する歪みの緩和されたSiGe層を堆積する工程をさらに含む、請求項12に記載の半導体基板の製造方法。

【請求項15】前記熱アニーリングがアルゴン雰囲気中で行われる、請求項12に記載の半導体基板の製造方法。

【請求項16】前記H⁺イオンの注入工程の後に、前記バターニング工程および前記プラズマエッチング工程が実行される、請求項12に記載の半導体基板の製造方法。

【請求項17】前記H⁺イオンの注入工程が、前記バターニング工程および前記プラズマエッチング工程の後に実行される、請求項12に記載の半導体基板の製造方法。

【請求項18】前記トレンチを形成する工程は、一辺の寸法が4μm×4μm以下である領域の周囲にトレンチを形成する工程である、請求項12に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】(関連出願)本出願は、2001年9月28日に出願された米国特許出願第10/062,336の「高Ge濃度の緩和SiGe層を形成する方法」に関連する。

(発明の領域)本発明は、移動度が向上したMOSFETデバイス等の半導体素子に使用される半導体基板の製造方法に関し、詳細には、トレンチ構造を使用することによって形成される厚いSiGe膜を有する半導体基板の製造方法に関する。

【0002】

【従来の技術】キャリア移動度が向上したMOSFETデバイスアプリケーションにおいて、キャリア移動度をさらに向上させるために、歪み(応力)が緩和されたSi_{1-x}Ge_xバッファ層を、歪Si(シリコン)層のための仮想基板として用いられている(例えば、K. Ismailらの"High electron mobility in modulation-doped Si/SiGe", Appl. Phys. Lett., 58, 2117, 1991(非特許文献1)およびS. Wickenhauserらの"Investigation of plastic relaxation in Si_{1-x}Ge_x/Si deposited by selected epitaxy", Mat. Res. Soc. Symp. Proc. Vol. 533, 69, 1998(非特許文献2))。

【0003】Si_{1-x}Ge_x層は、ミスフィット転位の形成によって可塑的に歪が緩和する(例えば、R. Hullらの" Nucleation of misfit dislocations in strained layer epitaxy in the Ge_x

10

20

30

40

50

Si_{1-x}/Si system", J. Vac Sci. Technol., A7, 2580, 1989(非特許文献3)、Houghtonの"Strain relaxation kinetics in Si_{1-x}Ge_x/Si heterostructures", J. Appl. Phys., 70, 2136, 1991(非特許文献4)、Wickenshauserらの"Determination of the activation energy for the heterogeneous nucleation of misfit dislocations in Si_{1-x}Ge_x/Si deposited by selective epitaxy", Appl. Phys. Lett., 70, 324, 1997(非特許文献5)、Matthewsらの"Defects in epitaxial multilayers", J. Cryst. Growth, 27, 118, 1974(非特許文献6)、およびTangらの"Investigation of dislocations in Si_{1-x}Ge_x/Si heterostructures grown by LPCVD", J. Cryst. Growth, 125, 301, 1992(非特許文献7))。

【0004】しかし、このプロセスの間に、通常、貫通転位が発生すると、貫通転位の存在によりデバイスの性能が低下し、デバイスの歩留まりが著しく低下する。

【0005】高品質のSi_{1-x}Ge_xバッファ層を製造する現在の技術は、数μmの厚さの層を、組成が厚さ方向に傾斜変化するよう成長させることである(例えば、Schaefflerらの"High-electron-mobility Si/SiGe heterostructures: influence of the relaxed SiGe buffer layer", Semiconductor Sci. Technol., 7, 260, 1992(非特許文献8)、およびFitzgeraldらの"To tally relaxed Ge_xSi_{1-x} layers with low threading dislocation densities grown on Si substrates", Appl. Phys. Lett., 59, 811, 1991(非特許文献9))。

【0006】数μmの厚さを有するSi_{1-x}Ge_x層の貫通転位の密度は依然として高く、数μmの厚さを有するSi_{1-x}Ge_x層を市販のデバイスの製造に組み込むことは、現実的ではない。SIMOX(Separation by Implantation of Oxygen)ウェハ上におけるSiGe成長の歪みの緩和についてもまた研究が行われており、Si/SiG

e二重層は、基板によって平坦に維持されたフリーフローティングフォイル(free-floating foil)として振る舞う。しかし、Si(シリコン)とSiGe層との厚さの比は、SiGe層からSi(シリコン)層への転位の核形成および転位のすべりが起こるように慎重に選択する必要がある。さらに、この従来技術は、ほとんどの技術アプリケーションに使用できるようにするために、より多量のGe(ゲルマニウム)を含有するように修正する必要がある(例えば、LeGoueらの"Relaxation of SiGe thin films grown on Si/SiO₂ substrates", J. Appl. Phys. 75, 7240 1994(非特許文献10))。

[0007]ヘリウム注入およびアニーリングによって、Si(シリコン)およびGe(ゲルマニウム)ならびにそれらの合金内に形成された孔は、転位との間に強力で短距離の相互誘引作用を有することがわかっている。SiGe/Si界面に孔を設けることによって、歪みの緩和率が大幅に向上升し、転位微細構造が変形する。しかし、貫通転位密度の低減は観察されなかった(例えば、Follstaedtらの"Cavity-dislocation interaction interactions in Si-Ge and implications for heterostructure relaxation", Appl. Phys. Lett., 69, 2059, 1996(非特許文献11))。SiGe層において80%の歪みの緩和を達成するためには、依然として、アニーリングを1000°Cで1時間行う必要がある。

[0008]水素注入により、Si(シリコン)の剥離が引き起こされ、Si(シリコン)で形成された微細層の剪断が発生することがわかっている(Weldonらの"On the mechanism of the hydrogen-induced exfoliation of silicon", J. Vac. Sci. Technol. B, 15, 1065, 1997(非特許文献12))。この技術は、高品質SOI(silicon-on-insulator)ウェハの製造に用いられており、「SmartCut」(商標)プロセスとして公知である。

[0009]最近の文献において、S. Mantiらの"Strain relaxation of epitaxial SiGe layers on Si(100) improved by hydrogen implantation, Nuclear Instruments and Methods in Physics Research B 147, 29, (1999)(非特許文献13)、およびH. Trinkausらの"Strain relaxation mechanism for hydrogen

-implanted Si_{1-x}Ge_x/Si(100) heterostructures", Appl. Phys. Lett., 76, 3552, 2000(非特許文献14)が、水素注入を用いてSiGeの歪みの緩和度を上昇させ、貫通転位の密度を低減させることの利点を報告している。

[0010]

【非特許文献1】K. Ismailらの"High electron mobility in modulation-doped Si/SiGe", Appl. Phys. Lett., 58, 2117, 1991

【非特許文献2】S. Wickenhauserらの"Investigation of plastic relaxation in Si_{1-x}Ge_x/Si deposited by selected epitaxy", Mat. Res. Soc. Symp. Proc. Vol. 533, 69, 1998

20 【非特許文献3】R. Hullらの"Nucleation of misfit dislocations in strained layer epitaxy in the Ge_xSi_{1-x}/Si system", J. Vac. Sci. Technol. A7, 2580, 1989

【非特許文献4】Houghtonの"Strain relaxation kinetics in Si_{1-x}Ge_x/Si heterostructure", J. Appl. Phys., 70, 2136, 1991

30 【非特許文献5】Wickenhauserらの" Determination of the activation energy for the heterogeneous nucleation of misfit dislocations in Si_{1-x}Ge_x/Si deposited by selective epitaxy", Appl. Phys. Lett., 70, 324, 1997

【非特許文献6】Matthewsらの"Defects in epitaxial multilayers", J. Cryst. Growth, 27, 118, 1974

40 【非特許文献7】Tangらの"Investigation of dislocations in Si_{1-x}Ge_x/Si heterostructures grown by LPCVD", J. Cryst. Growth, 125, 301, 1992

50 【非特許文献8】Schaefflerらの"High -electron-mobility Si/SiGe

e heterostructures: influence of the relaxed SiGe buffer layer", *Semiconduct or. Sci. Technol.*, 7, 260, 1992

【非特許文献9】 Fitzgeraldらの" Totally relaxed Ge_xSi_{1-x} layers with low threading dislocation densities grown on Si substrates", *Appl. Phys. Lett.*, 59, 811, 1991

【非特許文献10】 LeGouzeらの" Relaxation of SiGe thin films grown on Si/SiO₂ substrates", *J. Appl. Phys.*, 75, 7240 1994

【非特許文献11】 Follstaedtらの" Cavity-dislocation interactions in Si-Ge and implications for heterostructure relaxation", *Appl. Phys. Lett.*, 69, 2059, 1996

【非特許文献12】 Weldonらの" On the mechanism of the hydrogen-induced exfoliation of silicon", *J. Vac. Sci. Technol. B*, 15, 1065, 1997

【非特許文献13】 S. Mantlらの" Strain relaxation of epitaxial SiGe layers on Si(100) improved by hydrogen implantation", *Nuclear Instruments and Methods in Physics Research B*, 147, 29, 1999

【非特許文献14】 H. Trinkausらの" Strain relaxation mechanism for hydrogen-implanted Si_{1-x}Ge_x/Si(100) heterostructures", *Appl. Phys. Lett.*, 76, 3552, 2000

【0011】

【発明が解決しようとする課題】しかし、2000Å～2500ÅのSiGe層の歪みの緩和は、すでに報告されている。この厚さを有するSiGe層は、市販のデバイスアプリケーションにとって十分な厚さではない。

【0012】本発明は、このような問題を解決するものであり、その目的は、原子比率(atomicratio)で20%～30%またはそれ以上の比較的高いGe(ゲルマニウム)濃度および比較的低い貫通転位密度を有し、300

0Åを超える厚さを有する、著しく歪み緩和されたSiGe膜を有する半導体基板の製造方法を提供することにある。

【0013】本発明の他の目的は、トレンチ構造の上に歪みの緩和されたSiGe膜を形成することである。

【0014】本発明のさらに他の目的は、SiGe膜内の歪みを均一に緩和することによって、低い貫通転位密度を有するSiGe層を提供することである。

【0015】本発明のさらなる目的は、2000Åを超える厚さを有するSiGe層を形成する方法を提供することである。

【0016】

【課題を解決するための手段】Si(シリコン)上に厚い歪み緩和SiGe層を形成する方法、および高Ge(ゲルマニウム)濃度の歪み緩和SiGe層を形成する方法は、上記の関連出願に既に開示されている。本明細書中、この出願を参考として援用する。原子比率(atomic ratio)で20%～30%またはそれ以上のGe濃度を有し、3000Åを超える厚さを有する著しく歪み緩和されたSiGe膜は、2層のSiGe層の製造プロセスまたは組成の分布が厚さ方向に傾斜したSiGe層の製造プロセスのいずれかを用いることによって達成される。

【0017】本発明の半導体基板の製造方法は、比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、シリコン基板を準備する工程と、該シリコン基板上に、Ge濃度が原子比率で20%よりも高いSiGe層を、約100nm～500nmの厚さに堆積する工程と、約1・10¹⁸cm⁻²～5・10¹⁸cm⁻²のドーズ量、約20keV～45keVのエネルギーで、H⁺イオンを該SiGe層に注入する工程と、該SiGe層をフォトレジストでバーニングする工程と、バーニングされたSiGe層をプラズマエッチングして、一辺の寸法が4μ以下の領域の周囲にトレンチを形成する工程と、該フォトレジストを除去する工程と、不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、該シリコン基板および該SiGe層を熱アニーリングして、該SiGe層の歪みを緩和する工程とを含む。

【0018】前記SiGe層を堆積する工程が、約400°C～600°Cの温度で行われる。

【0019】前記歪みの緩和されたSiGe層の上に、引張歪みがかかったSi層を約5nm～30nmの厚さに堆積する工程をさらに含む。

【0020】前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50nm～200nmの厚さを有する歪みの緩和されたSiGe層を堆積する工程をさらに含む。

【0021】前記熱アニーリングがアルゴン雰囲気中で

行われる。

【0022】前記バーニングする工程において、前記SiGe層を格子状にバーニングする。

【0023】また、本発明の半導体基板の製造方法は、比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、シリコン基板を準備する工程と、該シリコン基板に、Ge濃度が原子比率で20%よりも高いSiGe層を約100nm～500nmの厚さに堆積する工程と、約 $1 \cdot 10^{18} \text{ cm}^{-2}$ ～ $5 \cdot 10^{18} \text{ cm}^{-2}$ のドーズ量、約20keV～45keVのエネルギーで、H⁺イオンを該SiGe層に注入する工程と、該SiGe層をフォトレジストで格子状のパターンにバーニングする工程と、バーニングされた該SiGe層およびシリコン基板の積層構造体をプラズマエッチングして、一辺の寸法が $4 \mu\text{m} \times 4 \mu\text{m}$ 以下の領域の周囲にトレンチを形成する工程と、該フォトレジストを除去する工程と、不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、前記シリコン基板および該SiGe層を熱アニーリングして、該SiGe層の歪みを緩和する工程とを含む。

【0024】前記SiGe層を堆積する工程が、約400°C～600°Cの温度で行われる。

【0025】前記歪みの緩和されたSiGe層の上に、引張歪みがかかったシリコンの層を約5nm～30nmの厚さに堆積する工程をさらに含む。

【0026】前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50～200nmの厚さを有する歪みの緩和されたSiGe層を堆積する工程をさらに含む。

【0027】前記熱アニーリングがアルゴン雰囲気中で行われる。

【0028】また、本発明の半導体基板の製造方法は、比較的高いゲルマニウム濃度および比較的低い貫通転位密度を有するSiGe層を形成する方法を包含する半導体基板の製造方法であって、シリコン基板を準備する工程と、該シリコン基板上に、SiGe層を、該シリコン基板に隣接する位置においてGe濃度が原子比率で約20%であり、上部において約30%の傾斜組成となるように、約400°C～600°Cの温度で、約100nm～500nmの厚さに堆積する工程と、該SiGe層に、約 $1 \cdot 10^{18} \text{ cm}^{-2}$ ～ $5 \cdot 10^{18} \text{ cm}^{-2}$ のドーズ量で、約20keV～45keVのエネルギーで、H⁺イオンを注入する工程と、該SiGe層をフォトレジストで格子状のパターンにバーニングする工程と、バーニングされた該SiGe層をプラズマエッチングして、格子状パターンの内部領域の周囲にトレンチを形成する工程と、該フォトレジストを除去する工程と、不活性雰囲気中で、約650°C～950°Cの温度で、約30秒～30分間、該基板および該SiGe層を熱アニーリングされ、プラズマエッチングされてトレンチ

シングして、該SiGe層の歪みを緩和する工程とを含む。

【0029】前記歪みの緩和されたSiGe層の上に、引張歪みがかかったシリコンの層を約5nm～30nmの厚さに堆積する工程をさらに含む。

【0030】前記熱アニーリングの後、前記歪みの緩和されたSiGe層の上に50～200nmの厚さを有する歪みの緩和されたSiGe層を堆積する工程をさらに含む。

10 【0031】前記熱アニーリングがアルゴン雰囲気中で行われる。

【0032】前記H⁺イオンの注入工程の後に、前記バーニング工程および前記プラズマエッチング工程が実行される。

【0033】前記H⁺イオンの注入工程が、前記バーニング工程および前記プラズマエッチング工程の後に実行される。

【0034】前記トレンチを形成する工程は、一辺の寸法が $4 \mu\text{m} \times 4 \mu\text{m}$ 以下である領域の周囲にトレンチを形成する工程である。

20 【0035】上述した本発明の要旨および目的は、本発明の本質を素早く理解できるように提供されたものである。以下に図面と関連付けて説明する本発明の好適な実施形態の詳細な説明を参照することにより、本発明をより完全に理解し得る。

【0036】

【発明の実施の形態】本発明の目的は、従来技術の問題点および欠陥を生じさせることなく、2000Åを超える厚さを有する歪み緩和SiGe層を有するMOSFETデバイス等の半導体素子に好適な半導体基板を製造することである。本発明方法は、H⁺イオン注入およびトレンチ形成を用いてSiGe層の歪み緩和を向上させる。図1を参照すると、シリコン基板10が準備されて提供される。シリコン基板10は、バルクシリコンまたはSIMOXであり得る。シリコン基板10上に歪SiGeの層12が堆積される。第1のSiGe層12の厚さは、約100nm～500nmの範囲内とされ、シリコン基板10上に堆積されたSiGe層12の好適な厚さは約200nmである。成長条件および原料ガスは、

30 良好的な結晶性を確保しつつ表面の凹凸が最小になるように選択する必要がある。このことは、例えば400°C～600°Cの低温成長を行って、準安定歪SiGe膜を形成することを必要とする。

40 【0037】図2を参照すると、SiGe層12にH⁺イオン注入が行われる。H⁺イオンのドーズ量は約 $1 \cdot 10^{18} \text{ cm}^{-2}$ ～ $5 \cdot 10^{18} \text{ cm}^{-2}$ の範囲内である。H⁺イオン注入のエネルギーレベルは、SiGe層12の厚さに依存し、通常、約20keV～45keVの範囲内である。SiGe層12は、フォトレジストでバーニングされ、プラズマエッチングされてトレンチ

50

が形成される。トレンチは、一辺の寸法が $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ 以下である領域、特に $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ 以下の正方形領域が形成されるように構成される。エッティングプロセスの後、フォトレジストが除去される。

【0038】図3を参照すると、アルゴン等の不活性雰囲気中において、約650°C～950°Cの範囲内の温度でアニーリングが行われ、それによりSiGe層12が歪みの緩和されたSiGe層14に変化する。第1のSiGe層14上には第2のSiGe層16が堆積される。この低温堆積ステップにおいて、200nmの厚さの歪み緩和SiGe層14上に第2のSiGe層16が、約650°C～950°Cの範囲内の温度で約170nmの厚さに堆積される。第2のSiGe層16は、約50nm～200nmの範囲内の厚さになるように堆積される。好ましくは、170nm程度の厚さとされる。このように形成された半導体基板は、高い歪みの緩和度および平滑な表面を有する。

【0039】本発明方法は、このように、H⁺（水素イオン）注入による上記関連出願の緩和方法を、トレンチ構造の形成と組み合わせている。本発明方法におけるトレンチ構造は、SiGe層の歪み緩和アニーリングの前に形成される。本発明方法は、SiGe層内の歪みを均一に緩和することによって貫通転位密度をさらに低減する技術を提供する。

【0040】図4～図15は、半球状の欠陥であるブリスター(blister)が形成された上にトレンチをバターニングした結果を示す。例示したSiGe層内のGe（ゲルマニウム）の割合は、原子比率で約30%である。例示のSiGe層に対して、26keVで、 $3 \cdot 10^{16}\text{ cm}^{-2}$ のドーズ量でH⁺イオンの注入を行う。その後、SiGe層はエッティングされて、格子構造のトレンチが形成され、そして約800°Cでアニーリングが行われる。図4の $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ のトレンチ構造の内部領域および図5の $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ のトレンチ構造の内部領域には、ブリスターが全く検出されない、あるいはほとんど検出されないのでに対し、図6の $8\text{ }\mu\text{m}\times 8\text{ }\mu\text{m}$ のトレンチ構造の内部領域および図7の $16\text{ }\mu\text{m}\times 16\text{ }\mu\text{m}$ のトレンチ構造の内部領域では、その大部分でブリスターが検出されることは注目に値する。

【0041】 $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ 、 $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ 、 $8\text{ }\mu\text{m}\times 8\text{ }\mu\text{m}$ 、および $16\text{ }\mu\text{m}\times 16\text{ }\mu\text{m}$ の格子状のトレンチ構造は、単に例示のためだけに用いた。これらのトレンチ構造は、小さなトレンチ構造上におけるSiGe層の歪み緩和を示すために用いた。表面の50%が依然SiGeなので、歪み緩和はX線回折によって容易に測定できる。本明細書中で用いた例示の結果、本発明方法において用いる場合、一辺の寸法が $4\text{ }\mu\text{m}$ 以下である格子状に形成されたトレンチ構造が適切であることは明らかである。このトレンチ構造は同じグループとされ得るか、または、独立した構成要件として用いられる。

【0042】顕微鏡写真内に見られるブリスターは、アニーリングの間にSiGe層内に引き起こされた高い圧縮応力が原因で形成される。SiGe層が厚くなるほど、Ge濃度が高くなり、より高いドーズ量のH⁺イオンが注入され、ブリスターが形成される可能性がより高くなる。ブリスターの形成は、別の形態でもってSiGe層の応力（歪み）の緩和をもたらすが、ブリスターが原因でSiGe層がシリコン基板10から剥離するおそれがあり、好ましくない。図4は、ブリスターのドームが壊れた後の平坦な底部の構造18を示す。

【0043】 $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ の格子状のトレンチ構造の内部領域にブリスターが存在しないこと、および $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ のトレンチ構造の内部領域にブリスターがほとんど存在しないことは、トレンチ構造の側壁から水素が失われることが原因で起こるのではなく、SiGe層の厚さが $0.5\text{ }\mu\text{m}$ 未満である場合に、水素が容易に上面に達してSiGe層を離れるからである。ブリスターが存在しないということは、SiGe層の厚さ寸法を小さくした結果として、SiGe層から応力が低減されたことを示している。

【0044】図4～図7に対応するX線回折マッピングを図8～図11にそれぞれ示す。サンプルの緩和は約80%～85%である。図8の $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ の格子状のトレンチ構造においても、歪み緩和が得られている。このX線回折マッピングは、さらに細長くしたSiGe（224）ピークを示す。図8は、図4の左上4分の1の部分において、エッジから約35mmの位置のから得られる $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ 領域のサンプルのX線回折マッピングである。ここで、x=0.294であり、R=7

30 9.34%である。xは、SiGe膜におけるGeの原子比率であり、Rは応力緩和の割合である。図9は、図5の右上4分の1の部分の、エッジから約38mmの位置から得られた $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ 領域のサンプルのX線回折マッピングである。ここで、x=0.295であり、R=80.74%である。図10は、図6の左下4分の1の部分において、エッジから約40mmの位置から得られた $8\text{ }\mu\text{m}\times 8\text{ }\mu\text{m}$ の領域のX線回折サンプルのマッピングである。ここで、x=0.299であり、R=84.42%である。図11は、図7の右下4分の1の部分において、エッジから約45mmの位置から得られた $16\text{ }\mu\text{m}\times 16\text{ }\mu\text{m}$ の領域のサンプルのマッピングである。ここで、x=0.294であり、R=81.89%である。

【0045】図12～図15は、歪み緩和SiGe層に対してスキメルエッティング液(Schimmeltecht)を用いてエッティングを15秒間行った後のSiGe層の様子をそれぞれ示す。スキメルエッティング液は、4部の50%HFと、5部の0.3MのCrO₃の混合液である。図12の $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ 格子状のトレンチ構造および図13の $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ 格子状のトレンチ構造では欠陥（ブリ

ター)が検出されなかった。図14の $8\text{ }\mu\text{m}\times 8\text{ }\mu\text{m}$ 格子状トレンチ構造および図15の $16\text{ }\mu\text{m}\times 16\text{ }\mu\text{m}$ 格子状トレンチ構造では、高密度の欠陥(ブリスター)が検出された。この結果は、より小さな格子状のトレンチ構造および単一のSiGe層が、低欠陥であって歪み緩和SiGe膜を含む半導体基板を実現するのに適していることが強く示されている。

【0046】水素注入は、トレンチ形成の前または後のいずれかに行われる。SiGe層の好適な組成は、Si/SiGe界面の近傍では、Ge(ゲルマニウム)濃度が低く、膜厚が大きくなるにつれてGe(ゲルマニウム)濃度が増加するような傾斜組成の構成である。この傾斜組成の利点は、SiGe層の歪みが垂直方向に沿って均一に緩和され得る点にある。上部表面近傍において、Ge(ゲルマニウム)濃度が最も高く、歪みの緩和もより大きくなる。本発明のトレンチ構造の底部において、Ge(ゲルマニウム)濃度は他の部分よりも低く、歪みの緩和度もより低くなる。図16は、歪みの緩和アニーリングを行う前のSiGe層におけるトレンチ構造を誇張して示した模式的な断面図である。図17は、歪み緩和アニーリングを行った後の傾斜組成SiGe層におけるトレンチ構造を誇張して示した模式的な断面図である。

【0047】貫通転位の形成は、主にミスフィット転位の形成に関係している。異なる格子定数を有する膜を基板上に堆積した場合、基板の格子定数の整合の結果として、膜内に歪みが発生する。ミスフィット転位の形成および貫通転位のミスフィット転位の両端部からの移動によって歪みが低減される。トレンチ構造が小さくなるほど、貫通転位が側壁に達する確率は大幅に上昇する。したがって、トレンチ構造がより小さくなるにしたがって、貫通転位密度がより低くなることが期待される。

【0048】基板界面からSiGe層の上部へとGe濃度が徐々に増加する傾斜組成の利点は、より均一な様で歪みが緩和される点にある。すなわち、SiGe層表面の近傍において格子定数が徐々に上昇するので、SiGe層の歪みが一旦緩和されると、その垂直軸に沿って、SiGe層の厚さの増加も均一になり、その結果、この積層構造においてSiGe層のより完全な歪み緩和が得られる。

【0049】図18のデータを生成するために用いた積層構造は、STI(shallow trench isolation)によって形成されたダイオード構造である。このダイオード構造は2つの形状のバターニングを有している。一方は正方形であり、他方は指形である。指形の構造の方がかなり高いエッジ面積比を有している。

【0050】P+J接合ダイオード上の逆リーク電流を図18に示す。STI積層構造体を形成する前に歪みの緩和アニーリング工程を行うことにより、指形構造の場

合のリーク電流は、 $100\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$ の正方形ダイオードの場合よりも高い。これらのダイオードが同じ面積を有する場合、ダイオードの周囲の長さは異なる。STI形成後に歪みの緩和アニーリングを行った場合、指構造ダイオード上のリーク電流は、正方形ダイオードの場合よりも小さい。この結果は、歪みの緩和アニーリング工程の間に、STIのエッジへと欠陥が広がったことを示している。

【0051】本発明の別の実施形態において、SiGe膜およびシリコンキャップは同時に堆積され得る。この実施形態では、SiGe膜の厚さは約 3500 \AA であり、Ge(ゲルマニウム)濃度は、層の底部において約20%であり、そこから徐々に変化して、層の上部で30%になる。シリコンキャップは、応力が緩和されず、従って、引張歪みが加わった状態になっており、その厚さは、 $5\text{ nm}\sim 30\text{ nm}$ 、好ましくは、約 20 nm (200 \AA)の厚さである。 H^+ イオンは、約 $3\cdot 10^{16}\text{ cm}^{-2}$ のドーズ量、約 34 keV のエネルギーレベルで、この積層構造体内に注入される。この積層構造体はフォトレジストでバターニングされ、プラズマエッチングを行って、トレンチ構造を形成する。エッチングに続いてフォトレジストが除去され、それによって得られた積層構造体に対して歪み緩和アニーリングが行われる。

【0052】上記のように、トレンチ構造を有する厚い歪み緩和SiGe層を形成する方法を開示した。特許請求の範囲に規定された本発明の範囲内でさらなる変形および修正を行い得ることが理解される。

【0053】

【発明の効果】本発明の半導体基板の製造方法は、このように、原子比率(atomic ratio)で20%~30%またはそれ以上の比較的高いGe(ゲルマニウム)濃度および比較的低い貫通転位密度を有し、 3000 \AA を超える厚さを有する著しく歪み緩和されたSiGe膜を有する半導体基板を得ることができる。そして、このような半導体基板によって、キャリア移動度が向上したMOSFETデバイス等を得ることができる。

【図面の簡単な説明】

【図1】本発明の方法に基づくSiGeの形成工程を示す図である。

【図2】本発明の方法に基づくSiGeの形成工程を示す図である。

【図3】本発明の方法に基づくSiGeの形成工程を示す図である。

【図4】本発明の方法に基づいて構成されたトレンチによって囲まれた $2\text{ }\mu\text{m}\times 2\text{ }\mu\text{m}$ の領域を示す図であり、最小のブリスタリングの影響を示している。

【図5】本発明の方法に基づいて構成されたトレンチによって囲まれた $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$ の領域を示す図であり、小さなブリスタリングの影響を示している。

【図6】本発明の方法に基づいて構成されたトレンチに

15

よって囲まれた $8 \mu\text{m} \times 8 \mu\text{m}$ の領域を示す図であり、プリスタリングの影響を示している。

【図 7】本発明の方法に基づいて構成されたトレンチによって囲まれた $16 \mu\text{m} \times 16 \mu\text{m}$ の領域を示す図であり、プリスタリングの影響を示している。

【図 8】図 4 に示す $2 \mu\text{m} \times 2 \mu\text{m}$ 領域の X 線回折を示す図である。

【図 9】図 5 に示した $4 \mu\text{m} \times 4 \mu\text{m}$ 領域の X 線回折を示す図である。

【図 10】図 6 に示した $8 \mu\text{m} \times 8 \mu\text{m}$ 領域の X 線回折を示す図である。

【図 11】図 7 に示した $16 \mu\text{m} \times 16 \mu\text{m}$ 領域の X 線回折を示す図である。

【図 12】スキメルエッティング(Schimmel etching)を 1 5 秒間行った後の $2 \mu\text{m} \times 2 \mu\text{m}$ 領域を示す図である。

【図 13】スキメルエッティングを 1 5 秒間行った後の 4 *

* $\mu\text{m} \times 4 \mu\text{m}$ 領域を示す図である。

【図 14】スキメルエッティングを 1 5 秒間行った後の $8 \mu\text{m} \times 8 \mu\text{m}$ 領域を示す図である。

【図 15】スキメルエッティングを 1 5 秒間行った後の $16 \mu\text{m} \times 16 \mu\text{m}$ 領域を示す図である。

【図 16】緩和アニーリングを行う前の SiGe 構造体の模式的に誇張して示した模式的な断面図である。

【図 17】緩和アニーリングを行った後の SiGe 構造体の模式的に誇張して示した模式的な断面図である。

10 【図 18】2 つの半導体基板についての逆リーキ電流を示す図である。

【符号の説明】

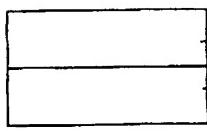
10 シリコン基板

12 SiGe 層

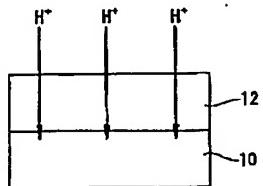
14 歪み緩和 SiGe 層

16 第 2 の SiGe 層

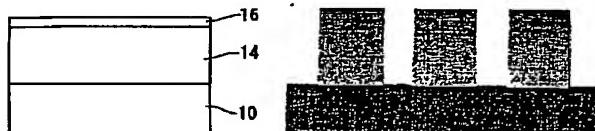
【図 1】



【図 2】

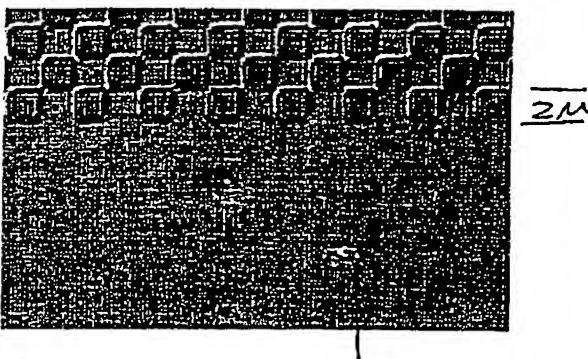


【図 3】



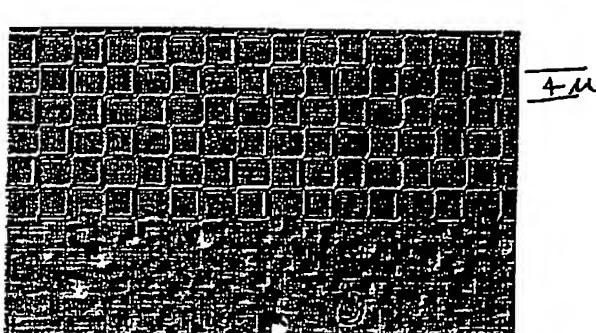
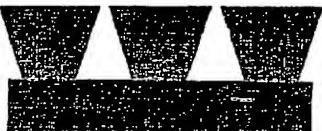
【図 16】

【図 4】

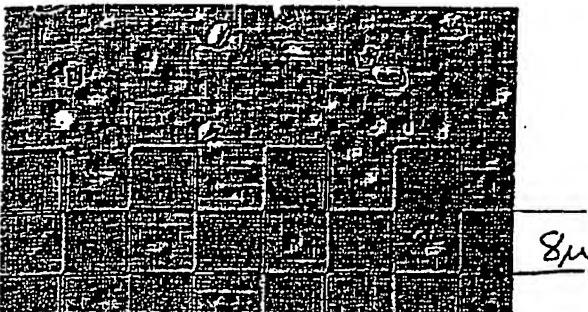


18

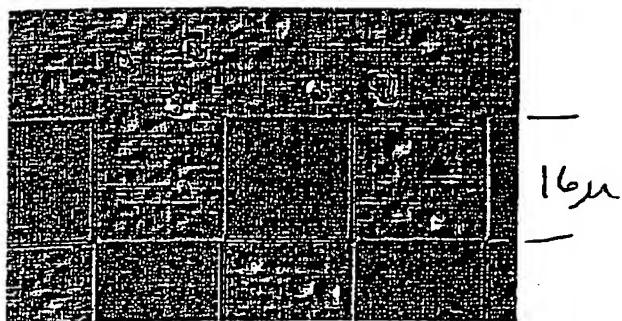
【図 17】



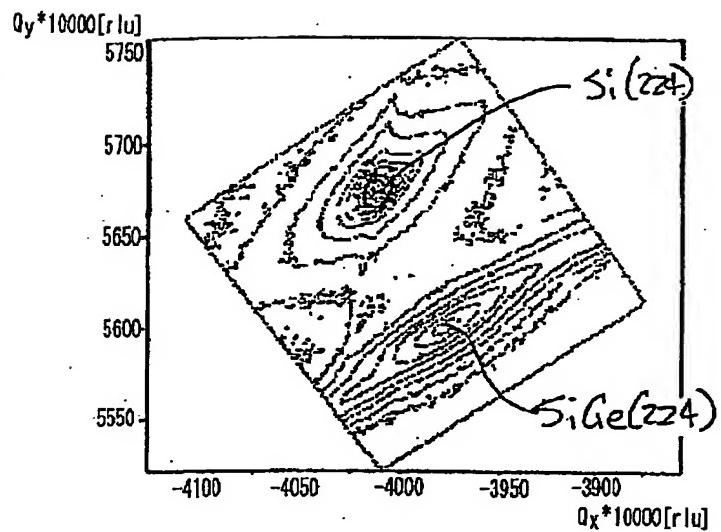
【図 6】



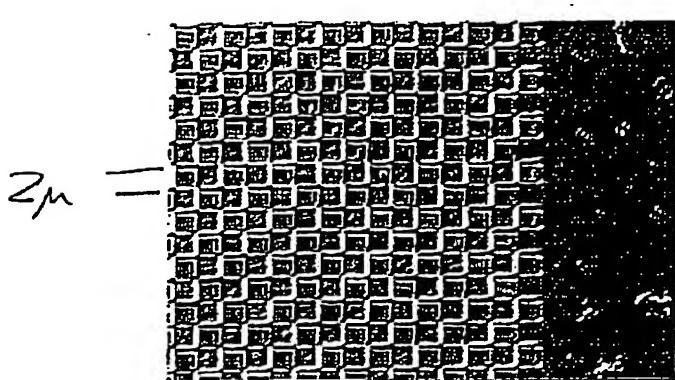
【図7】



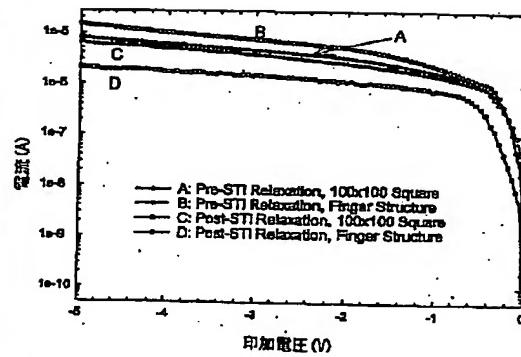
【図8】



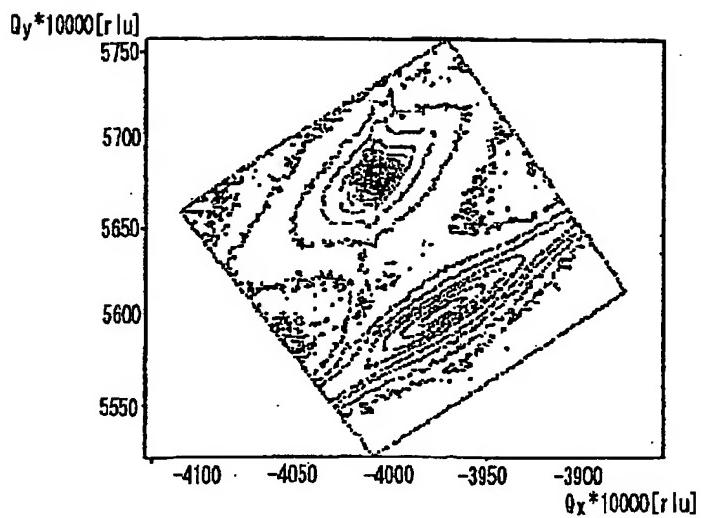
【図12】



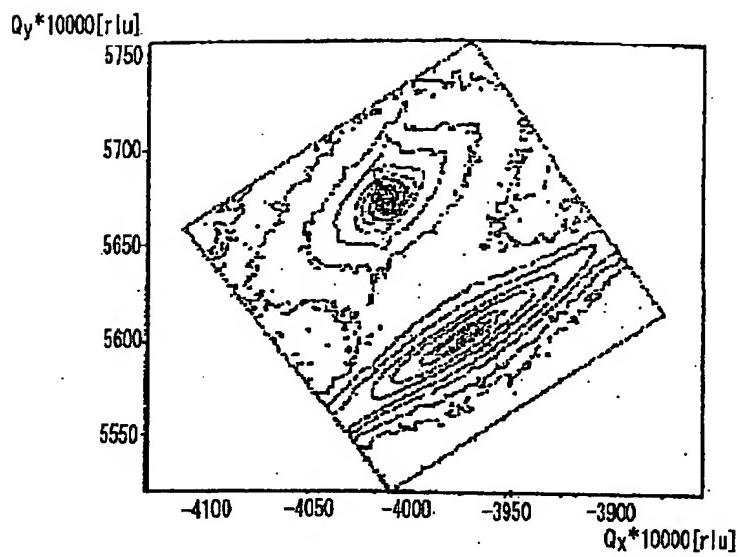
【図18】



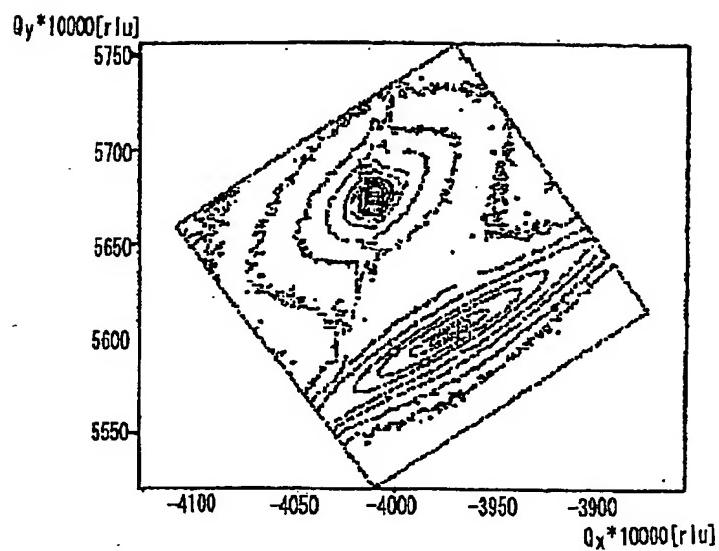
【図9】



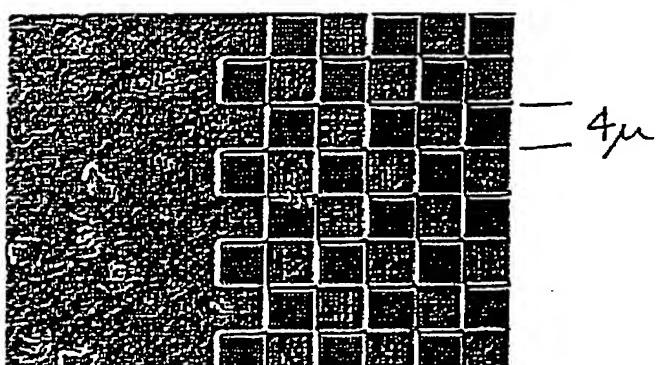
【図10】



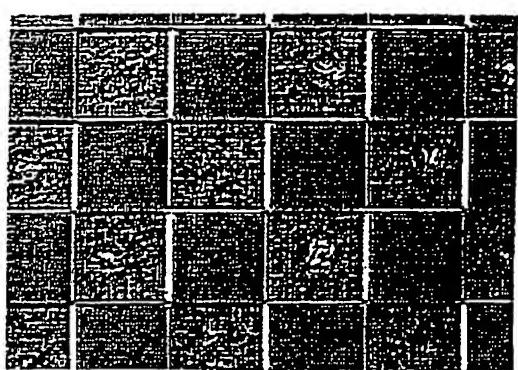
【図11】



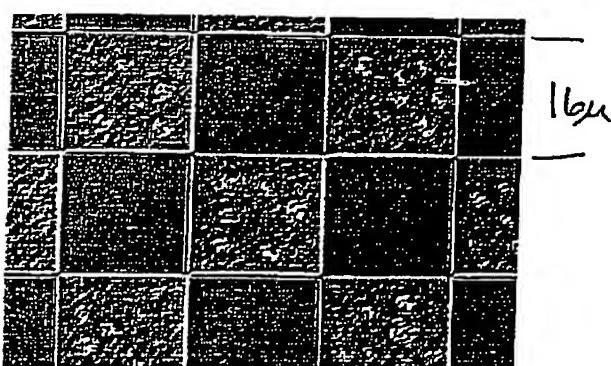
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 ダグラス ジェームス トゥイート
アメリカ合衆国 ワシントン 98607,
ケイマス, エヌダブリュー ダーリア
ドライブ 3521
(72)発明者 ティンカイ リー¹
アメリカ合衆国 ワシントン 98683,
バンクーバー, エスイー 23アールディ
ー ストリート 18701

(72)発明者 ジョン-ジャン リー
アメリカ合衆国 ワシントン 98607,
ケイマス, エヌダブリュー 32エヌディ
ー アベニュー 2525
(72)発明者 シエン テン スー²
アメリカ合衆国 ワシントン 98607,
ケイマス, エヌダブリュー トラウト
コート 2216

Fターム(参考) 5F032 AA35 DA23 DA43 DA74
5F052 AA11 CA01 DA03 FA19 HA01
HA06 JA01

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-229361

(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

H01L 21/20
H01L 21/265
H01L 21/76
H01L 29/161

(21)Application number : 2002-359955 (71)Applicant : SHARP CORP

(22)Date of filing : 11.12.2002 (72)Inventor : MAA JER-SHEN

TWEET DOUGLAS J
LI TINGKAI
LEE JONG-JAN
SHIEN TEN SUU

(30)Priority

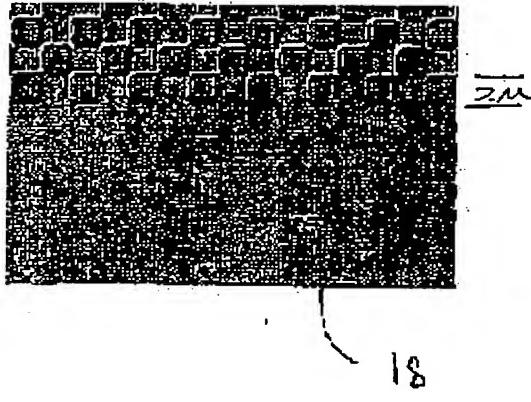
Priority number : 2002 062336 Priority date : 31.01.2002 Priority country : US

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a semiconductor substrate comprising an SiGe film which has a thickness exceeding 3,000 Å and is significantly reduced in strain.

SOLUTION: A method for forming an SiGe layer of relatively high germanium concentration and relatively low through transition density comprises a process to form a silicon substrate, a process for depositing the SiGe layer by 100-500 nm in thickness with germanium concentration of the SiGe layer being higher than 20% as an atomic ratio, a process where an H⁺ ion is implanted in the SiGe layer by a dose of 1×10¹⁶ cm⁻²-5×10¹⁶ cm⁻² with an energy of 20-45 keV, a process where the SiGe layer is patterned with a photoresist, a process where the acquired structure body is plasma-etched to form a trench around a region, a process to remove the photoresist, and a process to reduce the SiGe layer by annealing the substrate and SiGe layer at 650-950°C in an inactive



atmosphere for 30 seconds to 30 minutes.

LEGAL STATUS

[Date of request for examination] 15.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process for which it is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, The process from which germanium concentration deposits a SiGe layer higher than 20% by the atomic ratio on this silicon substrate at the thickness of about 100nm - 500nm, about 1.1016 -- the dose of cm-2-5.1016cm-2, and about 20 -- with the energy of keV-45keV The process which injects H+ ion into this SiGe layer, and the process which carries out patterning of this SiGe layer by the photoresist, In the process at which plasma etching of the SiGe layer by which patterning was carried out is carried out, and the dimension of one side forms a trench in the perimeter of a field 4micro or less, the process which removes this photoresist, and an inert atmosphere The manufacture approach of the semi-conductor substrate which carries out heat annealing of this silicon substrate and this SiGe layer for [about 30 seconds -] 30 minutes, and includes the process which eases distortion of this SiGe layer at the temperature of about 650 degrees C - 950 degrees C.

[Claim 2] The manufacture approach of a semi-conductor substrate according to claim 1 that the process which deposits said SiGe layer is performed at the temperature of about 400 degrees C - 600 degrees C.

[Claim 3] The manufacture approach of the semi-conductor substrate according to claim 1 which includes further the process which deposits Si layer which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of 5nm - 30nm.

[Claim 4] The manufacture approach of the semi-conductor substrate according to claim 1 which includes further the process which deposits the SiGe layer by which distortion which has the thickness of 50nm - 200nm was eased on the SiGe layer by which said distortion was eased after said heat annealing.

[Claim 5] The manufacture approach of a semi-conductor substrate according to claim 1 that said heat annealing is performed in argon atmosphere.

[Claim 6] The manufacture approach of the semi-conductor substrate according to claim 1 which carries out patterning of said SiGe layer to the shape of a grid in said process which carries out patterning.

[Claim 7] The process for which it is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, The process from which germanium concentration deposits a SiGe layer higher than 20% on this silicon substrate by the atomic ratio at the thickness of about 100nm - 500nm, about 1.1016 -- the dose of cm-2-5.1016cm-2, and about 20 -- with the energy of keV-45keV The process which injects H+ ion into this SiGe layer, and the process which carries out patterning of this SiGe layer to a grid-like pattern by the photoresist, Plasma etching of the laminating structure of this SiGe layer by which patterning was carried out, and a silicon substrate is carried out. In the process at which the dimension of one side forms a trench in the perimeter of the field not more than 4micrometerx4micrometer, the process which removes this photoresist, and an inert atmosphere The manufacture approach of the semi-conductor substrate which carries out heat annealing of said silicon substrate and this SiGe layer for [about 30 seconds -] 30 minutes, and includes the process

which eases distortion of this SiGe layer at the temperature of about 650 degrees C - 950 degrees C. [Claim 8] The manufacture approach of a semi-conductor substrate according to claim 7 that the process which deposits said SiGe layer is performed at the temperature of about 400 degrees C - 600 degrees C.

[Claim 9] The manufacture approach of the semi-conductor substrate according to claim 7 which includes further the process which deposits the layer of the silicon which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of 5nm - 30nm.

[Claim 10] The manufacture approach of the semi-conductor substrate according to claim 7 which includes further the process which deposits the SiGe layer by which distortion which has the thickness of 50-200nm was eased on the SiGe layer by which said distortion was eased after said heat annealing.

[Claim 11] The manufacture approach of a semi-conductor substrate according to claim 7 that said heat annealing is performed in argon atmosphere.

[Claim 12] The process for which it is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, A SiGe layer so that germanium concentration may be about 20% and may serve as about 30% of dip presentation in the upper part on this silicon substrate in the location which adjoins this silicon substrate by the atomic ratio at the temperature of about 400 degrees C - 600 degrees C the process deposited on the thickness of about 100nm - 500nm, and this SiGe layer -- about 1.1016 -- with the dose of cm⁻²·5.1016cm⁻² The process which pours in H⁺ ion with the energy of abbreviation 20keV-45keV, The process which carries out patterning of this SiGe layer to a grid-like pattern by the photoresist, In the process which carries out plasma etching of this SiGe layer by which patterning was carried out, and forms a trench in the perimeter of the contrant region of a grid-like pattern, the process which removes this photoresist, and an inert atmosphere The manufacture approach of the semi-conductor substrate which carries out heat annealing of this substrate and this SiGe layer for [about 30 seconds -] 30 minutes, and includes the process which eases distortion of this SiGe layer at the temperature of about 650 degrees C - 950 degrees C.

[Claim 13] The manufacture approach of the semi-conductor substrate according to claim 12 which includes further the process which deposits the layer of the silicon which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of about 5nm - 30nm.

[Claim 14] The manufacture approach of the semi-conductor substrate according to claim 12 which includes further the process which deposits the SiGe layer by which distortion which has the thickness of 50-200nm was eased on the SiGe layer by which said distortion was eased after said heat annealing.

[Claim 15] The manufacture approach of a semi-conductor substrate according to claim 12 that said heat annealing is performed in argon atmosphere.

[Claim 16] The manufacture approach of a semi-conductor substrate according to claim 12 that said patterning process and said plasma ETCHINGGU process are performed after the impregnation process of said H⁺ ion.

[Claim 17] The manufacture approach of a semi-conductor substrate according to claim 12 that the impregnation process of said H⁺ ion is performed after said patterning process and said plasma ETCHINGGU process.

[Claim 18] The process which forms said trench is the manufacture approach of the semi-conductor substrate according to claim 12 which is the process which forms a trench in the perimeter of the field whose dimension of one side is less than [4micrometerx4micrometer].

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] (Related application) This application relates to the United States patent application 10th for which it applied on September 28, 2001 / the "approach which forms the relaxation SiGe layer of high germanium concentration" of 062 and 336.

(Field of invention) This invention relates to the manufacture approach of a semi-conductor substrate of having the thick SiGe film formed by using trench structure for a detail, about the manufacture approach of the semi-conductor substrate used for semiconductor devices, such as an MOSFET device whose mobility improved.

[0002]

[Description of the Prior Art] In the MOSFET device application whose carrier mobility improved, in order to raise carrier mobility further Use the Si_{1-x}Gex buffer layer by which distortion (stress) was eased as a virtual substrate for a distorted Si (silicon) layer. (For example) K -- Ismail's and others" -- High electron mobility in modulation-doped Si/SiGe", Appl. Phys. Lett. 58 2117, "Investigation of 1991 (nonpatent literature 1), and S. Wickenhauser and others of plastic relaxation in Si_{1-x}Gex/Sideposited by selected epitaxy" and Mat. Res. Soc. Symp. Proc. Vol. -- 533 and 69 1998 (nonpatent literature 2).

[0003] Distortion eases an Si_{1-x}Gex layer plastically by formation of a misfit rearrangement. (For example) R. Hull's and others "Nucleation of misfitdislocations in strained layer epitaxy in the GexSi_{1-x}/Si system" J. Vac Sci. Technol. A7 2580 1989 (nonpatent literature 3), "Strain relaxation kinetics in Si_{1-x}Gex/Si heterostructures" of Houghton J. Appl.Phys. 70 2136 1991 (nonpatent literature 4), Wickenhauser's and others "Determination of the activation energy for the heterogeneous nucleation of misfit dislocations in Si_{1-x}Gex/Si deposited byselective epitaxy", Appl. Phys. Lett. 70 324 1997 (nonpatent literature 5), Matthews's and others "Defects in epitaxial multilayers" J.Cryst. Growth 27 118 1974 (nonpatent literature 6), And Tang's and others "Investigation of dislocations in Si_{1-x}Gex/Si heterostructures grown by LPCVD" J.Cryst. Growth, 125 301 1992 (nonpatent literature 7).

[0004] However, between this process, if a penetration rearrangement occurs, the engine performance of a device will fall by existence of a penetration rearrangement, and the yield of a device will usually fall remarkably.

[0005] The current technique of manufacturing the Si_{1-x}Gex buffer layer of high quality It is making it grow up so that a presentation may carry out dip change of the layer with a thickness of several micrometers in the thickness direction. (For example) Schaeffler's and others "High-electron-mobilitySi/SiGe heterostructures: influenceof the relaxed SiGe buffer layer" Semiconductor. Sci. Technol. 7.260 1992 (nonpatent literature 8), And Fitzgerald's and others "Totallyrelaxed GexSi 1-x layers with low threading dislocation densities grownon Si substrates" Appl. Phys. Lett. 59 811 1991 (nonpatent literature 9).

[0006] The consistency of the penetration rearrangement of an Si_{1-x}Gex layer which has the thickness of several micrometers is still high, and it is not realistic to include the Si_{1-x}Gex layer which has the thickness of several micrometers in manufacture of a commercial device. Research is done also about relaxation of distortion of the SiGe growth on a SIMOX (Separation by Implantation of Oxygen) wafer, and a Si/SiGe double layer is served as free floating foil (free-floating foil) evenly

maintained by the substrate. However, it is necessary to choose the ratio of the thickness of Si (silicon) and a SiGe layer carefully so that the nucleation of the rearrangement from a SiGe layer to Si (silicon) layer and the skid of a rearrangement may happen. Furthermore, in order to enable it to use it for almost all technical applications, this conventional technique needs to correct so that a lot of germanium (germanium) may be contained (for example, LeGouse's and others "Relaxation of SiGe thin films grown - Si/SiO₂ substrates", J. Appl. Phys. 75, 7240 1994 (nonpatent literature 10)). [0007] Helium impregnation and annealing show having a short-distance mutual attracting action with the hole powerful between rearrangements formed in Si (silicon), germanium (germanium), and those alloys. By preparing a hole in a SiGe/Si interface, the relaxation rate of distortion improves substantially and the rearrangement fine structure deforms. However, reduction of penetration dislocation density was not observed (for example, Follstaedt's and others "Cavity-dislocation interactions in Si-germanium and implications for heterostructure relaxation", Appl. Phys. Lett., 69, 2059, 1996 (nonpatent literature 11)). In order to attain relaxation of 80% of distortion in a SiGe layer, it is necessary to still perform annealing at 1000 degrees C for 1 hour.

[0008] It turns out that exfoliation of Si (silicon) is caused by hydrogen impregnation and shearing of the detailed layer formed by Si (silicon) occurs by it (Weldon's and others "On the mechanism of the hydrogen-induced exfoliation of silicon", J. Vac.Sci. Technol. B. 15, 1065, 1997 (nonpatent literature 12)). This technique is used for manufacture of a high quality SOI (silicon-on-insulator) wafer, and is well-known as a "SmartCut" (trademark) process.

[0009] In the latest reference S. Mantl's and others "Strain relaxation of epitaxial SiGe layers on Si (100) improved by hydrogen implantation Nuclear Instruments and Methods in Physics Research B 147 29 (1999) (nonpatent literature 13) And H.Trinkaus's and others "Strain relaxation mechanism for hydrogen-implanted Si_{1-x}Gex/Si (100) heterostructures" Appl. Phys.Lett. 76 3552 2000 (nonpatent literature 14) Whenever [distortion relaxation / of SiGe] was raised using hydrogen impregnation, and the advantage of reducing the consistency of a penetration rearrangement is reported.

[0010]

[Nonpatent literature 1] K. Ismail's and others "High electron mobilityin modulation-doped Si/SiGe" Appl.Phys. Lett. 58 2117 1991 [nonpatent literature 2] S. Wickenhauser's and others "Investigation ofplastic relaxation in Si_{1-x}Gex/Si deposited by selected epitaxy" Mat. Res. Soc. Symp. Proc. Vol.533 69 1998 [nonpatent literature 3] R. Hull's and others "Nucleation of misfit dislocations in strained layer epitaxy in the GexSi_{1-x}/Si system" J. Vac Sci. Technol. A7 2580 1989 [nonpatent literature 4] "Strain relaxation kinetics in Si_{1-x}Gex/Si heterostructures" of Houghton, J. Appl. Phys. 70 2136 1991 [nonpatent literature 5] Wickenhauser's and others "Determination of theactivation energy for the heterogeneous nucleation of misfit dislocations in Si_{1-x}Gex/Si deposited by selective epitaxy", Appl. Phys. Lett. 70 324 1997 [nonpatent literature 6] Matthews's and others "Defects in epitaxial multilayers" J. Cryst. Growth 27 118 1974 [nonpatent literature 7] Tang's and others "Investigation of dislocations in Si_{1-x}Gex/Si heterostructures grown by LPCVD" J. Cryst. Growth 125 301 1992 [nonpatent literature 8] Schaeffler's and others "High-electron-mobility Si/SiGe heterostructures : influence of the relaxed SiGe buffer layer", Semiconductor. Sci. Technol. 7.260 1992 [nonpatent literature 9] Fitzgerald's and others "Totally relaxed GexSi_{1-x} layers with low threading dislocation densities grown - Si substrates" Appl. Phys. Lett. 59 811 1991 [nonpatent literature 10] LeGouse's and others "Relaxation of SiGe thinfilms grown - Si/SiO₂ substrates", J. Appl. Phys. 75 7240 1994 [nonpatent literature 11] Follstaedt's and others "Cavity-dislocation interactions in Si-germanium and implicationsfor heterostructure relaxation", Appl. Phys. Lett. 69 2059 1996 [nonpatent literature 12] Weldon's and others "On the mechanism of the hydrogen-induced exfoliation of silicon", J. Vac. Sci. Technol. B. 15 1065 1997 [nonpatent literature 13] S. Mantl's and others "Strain relaxation of epitaxial SiGe layers on Si (100) improved by hydrogen implantation Nuclear Instruments and Methods in PhysicsResearch B 147 29 1999 [nonpatent literature 14] H. Trinkaus's and others "Strain relaxation mechanism for hydrogen-implanted Si_{1-x}Gex/Si(100) heterostructures" Appl.Phys. Lett. 76 3552 2000 [0011]

[Problem(s) to be Solved by the Invention] However, relaxation of distortion of a 2000A - 2500A SiGe layer is already reported. The SiGe layer which has this thickness is not thickness sufficient for commercial device application.

[0012] This invention solves such a problem and the object is in offering the manufacture approach of a semi-conductor substrate of having comparatively high germanium (germanium) concentration and the comparatively low penetration dislocation density beyond 20% - 30% or it by the atomic ratio (atomicratio), and having the SiGe film which has the thickness exceeding 3000A and by which strain relaxation was carried out remarkably.

[0013] Other objects of this invention are forming the SiGe film with which distortion was eased on trench structure.

[0014] The object of further others of this invention is offering the SiGe layer which has low penetration dislocation density by easing the distortion in the SiGe film to homogeneity.

[0015] The further object of this invention is offering the approach of forming the SiGe layer which has the thickness exceeding 2000A.

[0016]

[Means for Solving the Problem] The approach of forming a thick strain relaxation SiGe layer on Si (silicon) and the approach of forming the strain relaxation SiGe layer of high germanium (germanium) concentration are already indicated by the above-mentioned related application. This application is used as reference among this description. The SiGe film which has germanium concentration beyond 20% - 30% or it by the atomic ratio (atomic ratio), and has the thickness exceeding 3000A and by which strain relaxation was carried out remarkably is attained by using either of the manufacture processes of a SiGe layer that the manufacture process of a two-layer SiGe layer or distribution of a presentation inclined in the thickness direction.

[0017] The process for which the manufacture approach of the semi-conductor substrate of this invention is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, The process from which germanium concentration deposits a SiGe layer higher than 20% by the atomic ratio on this silicon substrate at the thickness of about 100nm - 500nm, about 1.1016 -- the dose of cm⁻² - 5.1016cm⁻², and about 20 -- with the energy of keV-45keV The process which injects H⁺ ion into this SiGe layer, and the process which carries out patterning of this SiGe layer by the photoresist, In the process at which plasma etching of the SiGe layer by which patterning was carried out is carried out, and the dimension of one side forms a trench in the perimeter of a field 4micro or less, the process which removes this photoresist, and an inert atmosphere At the temperature of about 650 degrees C - 950 degrees C, heat annealing of this silicon substrate and this SiGe layer is carried out for [about 30 seconds -] 30 minutes, and the process which eases distortion of this SiGe layer is included.

[0018] The process which deposits said SiGe layer is performed at the temperature of about 400 degrees C - 600 degrees C.

[0019] The process which deposits Si layer which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of about 5nm - 30nm is included further.

[0020] The process which deposits the SiGe layer by which distortion which has the thickness of 50nm - 200nm was eased on the SiGe layer by which said distortion was eased is further included after said heat annealing.

[0021] Said heat annealing is performed in argon atmosphere.

[0022] In said process which carries out patterning, patterning of said SiGe layer is carried out to the shape of a grid.

[0023] Moreover, the process for which the manufacture approach of the semi-conductor substrate of this invention is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, The process from which germanium concentration deposits a SiGe layer higher than 20% on this silicon substrate by the atomic ratio at the thickness of about 100nm - 500nm, about 1.1016 -- the dose of cm⁻² - 5.1016cm⁻², and about 20 -- with the energy of keV-45keV The process which injects H⁺ ion into this SiGe layer, and the process which carries out patterning of this SiGe layer to a grid-like pattern by the photoresist, Plasma etching of the laminating structure of this SiGe layer by which patterning was carried out, and a silicon substrate is carried out. In the process at which the dimension of one

side forms a trench in the perimeter of the field not more than 4micrometerx4micrometer, the process which removes this photoresist, and an inert atmosphere At the temperature of about 650 degrees C - 950 degrees C, heat annealing of said silicon substrate and this SiGe layer is carried out for [about 30 seconds -] 30 minutes, and the process which eases distortion of this SiGe layer is included.

[0024] The process which deposits said SiGe layer is performed at the temperature of about 400 degrees C - 600 degrees C.

[0025] The process which deposits the layer of the silicon which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of about 5nm - 30nm is included further.

[0026] The process which deposits the SiGe layer by which distortion which has the thickness of 50-200nm was eased on the SiGe layer by which said distortion was eased is further included after said heat annealing.

[0027] Said heat annealing is performed in argon atmosphere.

[0028] Moreover, the process for which the manufacture approach of the semi-conductor substrate of this invention is the manufacture approach of the semi-conductor substrate which includes the approach of forming the SiGe layer which has comparatively high germanium concentration and comparatively low penetration dislocation density, and a silicon substrate is prepared, A SiGe layer so that germanium concentration may be about 20% and may serve as about 30% of dip presentation in the upper part on this silicon substrate in the location which adjoins this silicon substrate by the atomic ratio at the temperature of about 400 degrees C - 600 degrees C the process deposited on the thickness of about 100nm - 500nm, and this SiGe layer -- about 1.1016 -- with the dose of cm⁻²-5.1016cm⁻² The process which pours in H⁺ ion with the energy of abbreviation 20keV-45keV, The process which carries out patterning of this SiGe layer to a grid-like pattern by the photoresist, In the process which carries out plasma etching of this SiGe layer by which patterning was carried out, and forms a trench in the perimeter of the contrant region of a grid-like pattern, the process which removes this photoresist, and an inert atmosphere At the temperature of about 650 degrees C - 950 degrees C, heat annealing of this substrate and this SiGe layer is carried out for [about 30 seconds -] 30 minutes, and the process which eases distortion of this SiGe layer is included.

[0029] The process which deposits the layer of the silicon which required tensile strain on the SiGe layer by which said distortion was eased at the thickness of about 5nm - 30nm is included further.

[0030] The process which deposits the SiGe layer by which distortion which has the thickness of 50-200nm was eased on the SiGe layer by which said distortion was eased is further included after said heat annealing.

[0031] Said heat annealing is performed in argon atmosphere.

[0032] After the impregnation process of said H⁺ ion, said patterning process and said plasma ETCHINGGU process are performed.

[0033] The impregnation process of said H⁺ ion is performed after said patterning process and said plasma ETCHINGGU process.

[0034] The process which forms said trench is a process which forms a trench in the perimeter of the field whose dimension of one side is less than [4micrometerx4micrometer].

[0035] The summary and the object of this invention which were mentioned above are offered so that he can understand the essence of this invention quickly. By referring to detailed explanation of the suitable operation gestalt of this invention which relates with a drawing and is explained below, he can understand this invention more nearly thoroughly.

[0036]

[Embodiment of the Invention] The object of this invention is manufacturing the suitable semi-conductor substrate for semiconductor devices, such as an MOSFET device which has the strain relaxation SiGe layer which has the thickness exceeding 2000A, without producing the trouble and defect of the conventional technique. this invention approach raises the strain relaxation of a SiGe layer using H⁺ ion implantation and trench formation. Reference of drawing 1 prepares and offers a silicon substrate 10. A silicon substrate 10 may be bulk silicon or SIMOX. The layer 12 of distorted SiGe deposits on a silicon substrate 10. The suitable thickness of the SiGe layer 12 which thickness of the 1st SiGe layer 12 was made within the limits of about 100nm - 500nm, and was deposited on the silicon substrate 10 is about 200nm. Securing good crystallinity, it is necessary to choose growth

conditions and material gas so that surface irregularity may become min. This needs to perform 400 degrees C - 600 degrees C low dental-curing length, and to form the metastable distorted SiGe film. [0037] Reference of drawing 2 performs H⁺ ion implantation in the SiGe layer 12. The dose of H⁺ ion is within the limits of abbreviation 1.1016cm-2-5.1016cm-2. The energy level of H⁺ ion implantation is usually within the limits of abbreviation 20keV-45keV depending on the thickness of the SiGe layer 12. By the photoresist, patterning of the SiGe layer 12 is carried out, plasma etching is carried out, and a trench is formed. A trench is constituted so that the field whose dimension of one side is less than [4micrometerx4micrometer], especially the square field not more than 4micrometerx4micrometer may be formed. A photoresist is removed after an etching process.

[0038] If drawing 3 is referred to, annealing will be performed into the inert atmosphere of an argon etc. at the temperature within the limits of about 650 degrees C - 950 degrees C, and, thereby, the SiGe layer 12 will change to the SiGe layer 14 by which distortion was eased. The 2nd SiGe layer 16 deposits on the 1st SiGe layer 14. In this low-temperature deposition step, the 2nd SiGe layer 16 deposits on the 200nm strain relaxation SiGe layer 14 of thickness at the thickness of about 170nm at the temperature within the limits of about 650 degrees C - 950 degrees C. The 2nd SiGe layer 16 is deposited so that it may become the thickness within the limits of about 50nm - 200nm. Preferably, it considers as the thickness of about 170nm. Thus, the formed semi-conductor substrate has whenever [relaxation / of a high distortion], and, a smooth front face.

[0039] this invention approach has combined the relaxation approach of the above-mentioned related application by H⁺ (hydrogen ion) impregnation with formation of trench structure in this way. The trench structure in this invention approach is formed before strain relaxation annealing of a SiGe layer. this invention approach offers the technique of reducing penetration dislocation density further, by easing the distortion in a SiGe layer to homogeneity.

[0040] Drawing 4 - drawing 15 show the result of the blister (blister) which is a semi-sphere-like defect having been formed upwards, and having carried out patterning of the trench. The percentage of germanium in the illustrated SiGe layer (germanium) is about 30% by the atomic ratio. H⁺ ion is poured in with the dose of 3.1016cm-2 by 26keV to the SiGe layer of instantiation. Then, a SiGe layer is etched, and the trench of grids structure is formed, and annealing is performed at about 800 degrees C. In the contrant region of the 2micrometerx2micrometer trench structure of drawing 4 , and the contrant region of the 4micrometerx4micrometer trench structure of drawing 5 , a blister is not detected at all, or that a blister is detected by the most deserves attention to hardly being detected in the contrant region of the 8micrometerx8micrometer trench structure of drawing 6 , and the contrant region of the 16microx16micro trench structure of drawing 7 .

[0041] The trench structure of the shape of a grid (2micrometerx2micrometer, 4micrometerx4micrometer, 8micrometerx8micrometer, and 16micrometerx16micrometer) was used only for instantiation. Such trench structures were used in order to show the strain relaxation of the SiGe layer on small trench structure. Since 50% of a front face is still SiGe, strain relaxation can be easily measured according to an X diffraction. When using in this invention approach as a result of the instantiation used in this description, it is clear that the trench structure formed in the shape of [whose dimension of one side is 4 micrometers or less] a grid is suitable. This trench structure is used as requirements for a configuration which might be made into the same group or became independent.

[0042] The blister seen in the microphotography is formed between annealing owing to the high compressive stress caused in the SiGe layer. germanium concentration becomes high, H⁺ ion of a higher dose is poured in and possibility that a blister will be formed becomes higher, so that a SiGe layer becomes thick. Although formation of a blister brings about relaxation of the stress (distortion) of a SiGe layer as it is also at another gestalt, it has a possibility that a SiGe layer may exfoliate from a silicon substrate 10 owing to a blister, and is not desirable. Drawing 4 shows the structure 18 of the flat pars basilaris ossis occipitalis after the dome of a blister breaks.

[0043] That hydrogen is lost does not arise from the side attachment wall of trench structure owing to, but it is because hydrogen arrives at a top face easily and a SiGe layer is left that a blister does not exist in the contrant region of the trench structure of the shape of a 2micrometerx2micrometer grid and that a blister hardly exists in the contrant region of the trench structure which is 4micrometerx4micrometer, when the thickness of a SiGe layer is less than 0.5micro. It is shown that

considered that a blister does not exist as the result of having made the thickness dimension of a SiGe layer small, and stress was reduced from the SiGe layer.

[0044] X diffraction mapping corresponding to drawing 4 - drawing 7 is shown in drawing 8 - drawing 11, respectively. Relaxation of a sample is about 80% - 85%. Strain relaxation is obtained also in the trench structure of the 2micrometerx2micrometer shape of a grid of drawing 8. This X diffraction mapping shows the SiGe (224) peak made still more long and slender. Drawing 8 is X diffraction mapping of the sample of the 2 micrometerx2-micrometer field obtained from an edge by that [with a location of about 35mm] in the part of the upper left quadrant of drawing 4. Here, it is $x = 0.294$ and is $R = 79.34\%$. x is the atomic ratio of germanium in the SiGe film, and R is the rate of stress relaxation. Drawing 9 is X diffraction mapping of the sample of the 4 micrometerx4-micrometer field obtained from the edge of the part of the upper right quadrant of drawing 5 from the location of about 38mm. Here, it is $x = 0.295$ and is $R = 80.74\%$. Drawing 10 is mapping of the X diffraction sample of the 8micrometerx8micrometer field obtained from the edge from the location of about 40mm in the part of the lower left quadrant of drawing 6. Here, it is $x = 0.299$ and is $R = 84.42\%$. Drawing 11 is mapping of the sample of the 16micrometerx16micrometer field obtained from the edge from the location of about 45mm in the part of the lower right quadrant of drawing 7. Here, it is $x = 0.294$ and is $R = 81.89\%$.

[0045] Drawing 12 - drawing 15 show the situation of the SiGe layer after etching for 15 seconds using a clearance mel etching reagent (Schimmeletch) to a strain relaxation SiGe layer, respectively. A clearance mel etching reagent is mixed liquor of 50%HF of the four sections, and CrO₃ of 0.3M of the five sections. A defect (blister) was not detected with the trench structure of the shape of a 2 micrometerx2-micrometer grid of drawing 12, and the trench structure of the shape of a 4 micrometerx4-micrometer grid of drawing 13. The defect (blister) of high density was detected with the 8 micrometerx8-micrometer grid-like trench structure of drawing 14, and the 16 micrometerx16-micrometer grid-like trench structure of drawing 15. It is strongly shown by this result that it is suitable for realizing the semi-conductor substrate with which the trench structure and the single SiGe layer of the shape of a smaller grid are a low defect, and contain the strain relaxation SiGe film.

[0046] Hydrogen impregnation is performed to either of the back before trench formation. The suitable presentation of a SiGe layer is a configuration of a dip presentation which germanium (germanium) concentration increases as germanium (germanium) concentration is low and thickness becomes large near the Si/SiGe interface. The advantage of this dip presentation is in the point that distortion of a SiGe layer may be eased by homogeneity along a perpendicular direction. [near the up front face], germanium (germanium) concentration is the highest and relaxation of distortion also becomes larger. In the pars basilaris ossis occipitalis of the trench structure of this invention, germanium (germanium) concentration is lower than other parts, and also whenever [relaxation / of distortion] becomes lower. Drawing 16 is the typical sectional view having exaggerated and shown the trench structure in the SiGe layer before performing relaxation annealing of distortion. Drawing 17 is the typical sectional view having exaggerated and shown the trench structure in the dip presentation SiGe layer after performing strain relaxation annealing.

[0047] Formation of a penetration rearrangement is mainly related to formation of a misfit rearrangement. When the film which has a different lattice constant is deposited on a substrate, distortion occurs in the film as a result of adjustment of the lattice constant of a substrate. Distortion is reduced by migration from the both ends of formation of a misfit rearrangement, and the misfit rearrangement of a penetration rearrangement. The probability for a penetration rearrangement to reach a side attachment wall goes up substantially, so that trench structure becomes small. Therefore, it is expected that penetration dislocation density will become lower as trench structure becomes smaller.

[0048] The advantage of the dip presentation which germanium concentration increases from a substrate interface to the upper part of a SiGe layer gradually is in the point that distortion is eased in a more uniform mode. That is, since a lattice constant rises gradually [near the SiGe layer front face], once distortion of a SiGe layer is eased, in accordance with those vertical axes, the increment in the thickness of a SiGe layer will also become homogeneity, consequently the more perfect strain relaxation of a SiGe layer will be obtained in this laminated structure.

[0049] The laminated structure used in order to generate the data of drawing 18 is the diode structure formed of STI (shallowtrench isolation). This diode structure has patterning of two configurations. One side is a square and another side is a finger form. The direction of the structure of a finger form has quite high edge-surface ratio.

[0050] The reverse leakage current on P+J junction diode is shown in drawing 18. Before forming the STI laminating structure, by performing the relaxation annealing process of distortion, the leakage current in the case of finger form structure is higher than the case of

100micrometerx100micrometer square diode. When such diodes have the same area, the die length around diode differs. When relaxation annealing of distortion is performed after STI formation, the leakage current on finger structure diode is smaller than the case of square diode. This result shows that the defect spread to the edge of STI between the relaxation annealing processes of distortion.

[0051] In another operation gestalt of this invention, the SiGe film and a silicon cap may be deposited simultaneously. With this operation gestalt, the thickness of the SiGe film is about 3500A, and germanium (germanium) concentration is about 20% in the pars basilaris ossis occipitalis of a layer, it changes gradually from there and becomes 30% in the upper part of a layer. Stress was not eased, therefore tensile strain will be added the silicon cap, and 5nm - 30nm of the thickness is about 20nm (200A) in thickness preferably. H⁺ ion is the dose of abbreviation 3.1016cm⁻², and the energy level of about 34 keV(s), and is poured in into this laminating structure. Patterning of this laminating structure is carried out by the photoresist, it performs plasma etching, and forms trench structure. A photoresist is removed following etching and strain relaxation annealing is performed to the laminating structure obtained by it.

[0052] As mentioned above, the approach of forming the thick strain relaxation SiGe layer which has trench structure was indicated. It is understood that the further deformation and the further correction can be made within the limits of this invention specified to the claim.

[0053]

[Effect of the Invention] In this way, the manufacture approach of the semi-conductor substrate of this invention has comparatively high germanium (germanium) concentration and the comparatively low penetration dislocation density beyond 20% - 30% or it by the atomic ratio (atomic ratio), and can obtain the semi-conductor substrate which has the SiGe film which has the thickness exceeding 3000A, and by which strain relaxation was carried out remarkably. And the MOSFET device whose carrier mobility improved can be obtained with such a semi-conductor substrate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the formation process of SiGe based on the approach of this invention.

[Drawing 2] It is drawing showing the formation process of SiGe based on the approach of this invention.

[Drawing 3] It is drawing showing the formation process of SiGe based on the approach of this invention.

[Drawing 4] It is drawing showing the 2micrometerx2micrometer field surrounded with the trench constituted based on the approach of this invention, and the effect of the minimum blistering is shown.

[Drawing 5] It is drawing showing the 4micrometerx4micrometer field surrounded with the trench constituted based on the approach of this invention, and the effect of small blistering is shown.

[Drawing 6] It is drawing showing the 8micrometerx8micrometer field surrounded with the trench constituted based on the approach of this invention, and the effect of blistering is shown.

[Drawing 7] It is drawing showing the 16micrometerx16micrometer field surrounded with the trench constituted based on the approach of this invention, and the effect of blistering is shown.

[Drawing 8] It is drawing showing the X diffraction of the 2 micrometerx2-micrometer field shown in drawing 4.

[Drawing 9] It is drawing showing the X diffraction of the 4 micrometerx4-micrometer field shown in drawing 5.

[Drawing 10] It is drawing showing the X diffraction of the 8 micrometerx8-micrometer field shown in drawing 6.

[Drawing 11] It is drawing showing the X diffraction of the 16 micrometerx16-micrometer field shown in drawing 7.

[Drawing 12] It is drawing showing the 2 micrometerx2-micrometer field after performing clearance mel etching (Schimmel etching) for 15 seconds.

[Drawing 13] It is drawing showing the 4 micrometerx4-micrometer field after performing clearance mel etching for 15 seconds.

[Drawing 14] It is drawing showing the 8 micrometerx8-micrometer field after performing clearance mel etching for 15 seconds.

[Drawing 15] It is drawing showing the 16 micrometerx16-micrometer field after performing clearance mel etching for 15 seconds.

[Drawing 16] It is the typical sectional view which exaggerated typically [the SiGe structure before performing relaxation annealing], and was shown.

[Drawing 17] It is the typical sectional view which exaggerated typically [the SiGe structure after performing relaxation annealing], and was shown.

[Drawing 18] It is drawing showing the reverse leakage current about two semi-conductor substrates.

[Description of Notations]

10 Silicon Substrate

12 SiGe Layer

14 Strain Relaxation SiGe Layer

16 2nd SiGe Layer

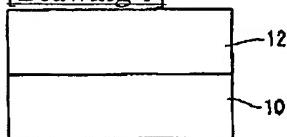
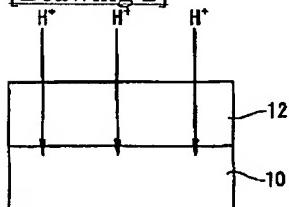
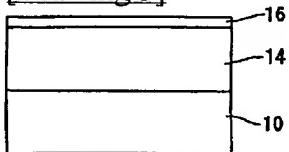
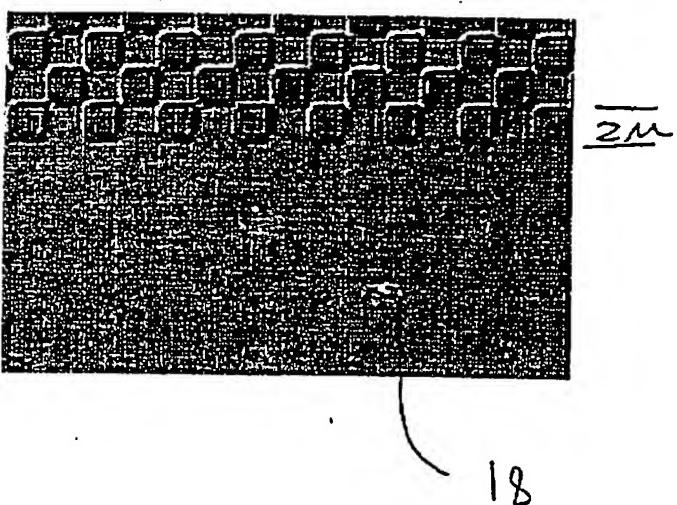
[Translation done.]

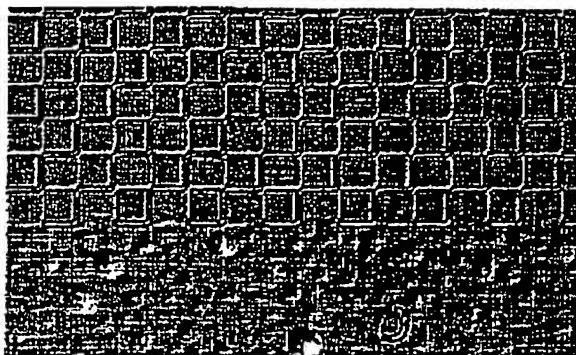
*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

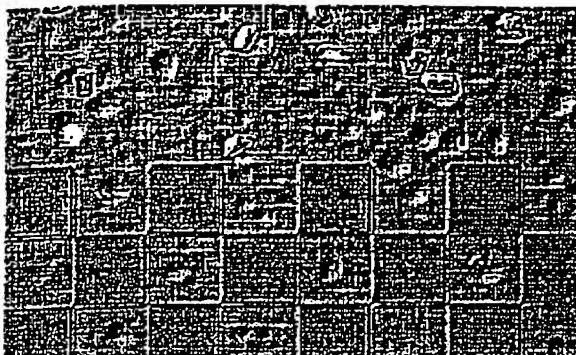
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

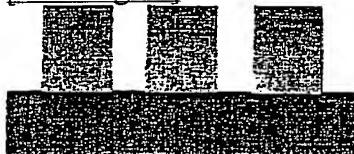
[Drawing 1]**[Drawing 2]****[Drawing 3]****[Drawing 4]****[Drawing 5]**



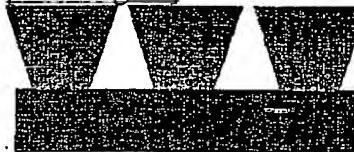
[Drawing 6]



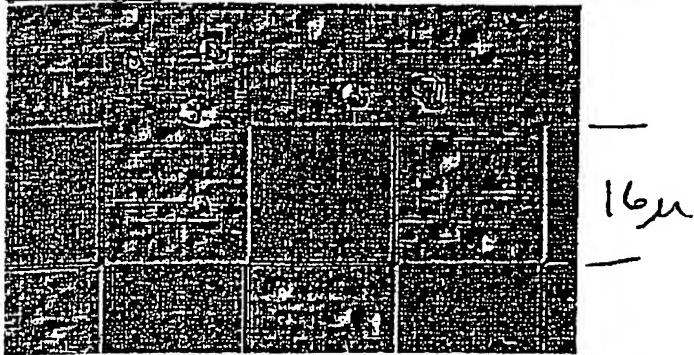
[Drawing 16]



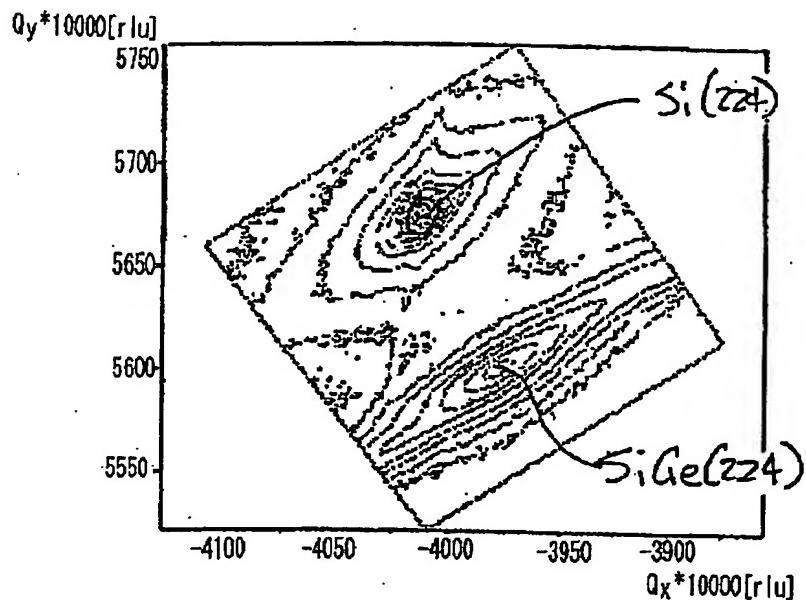
[Drawing 17]



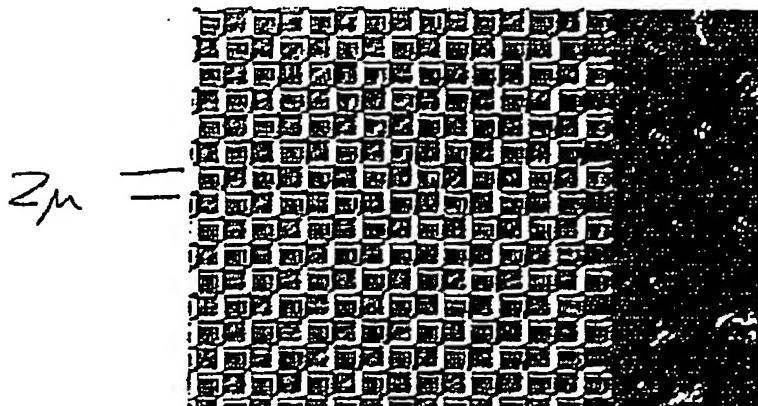
[Drawing 7]



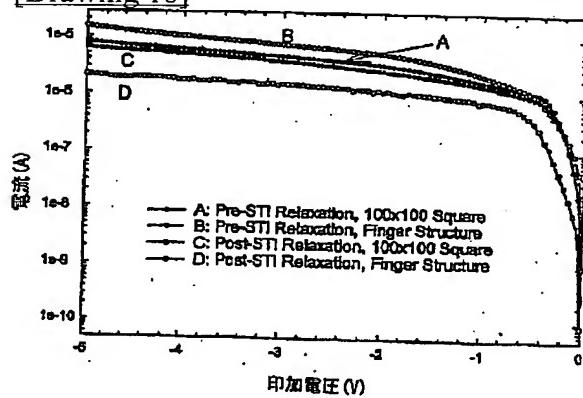
[Drawing 8]



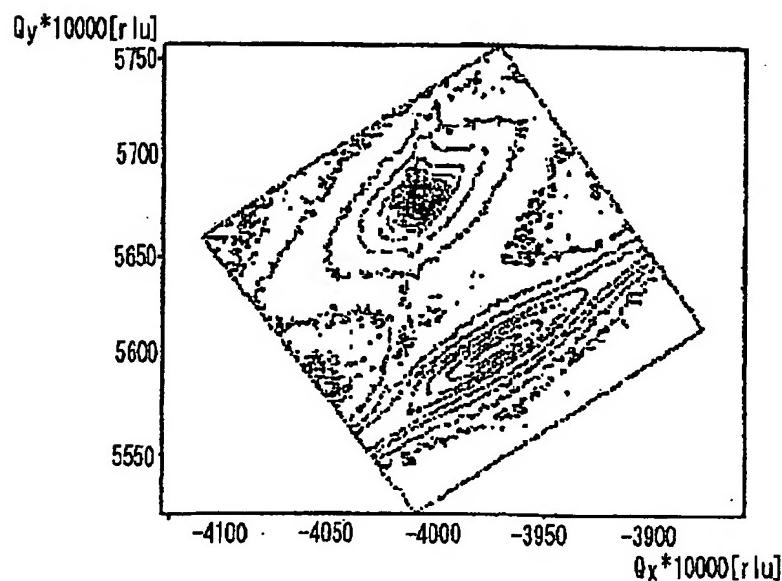
[Drawing 12]



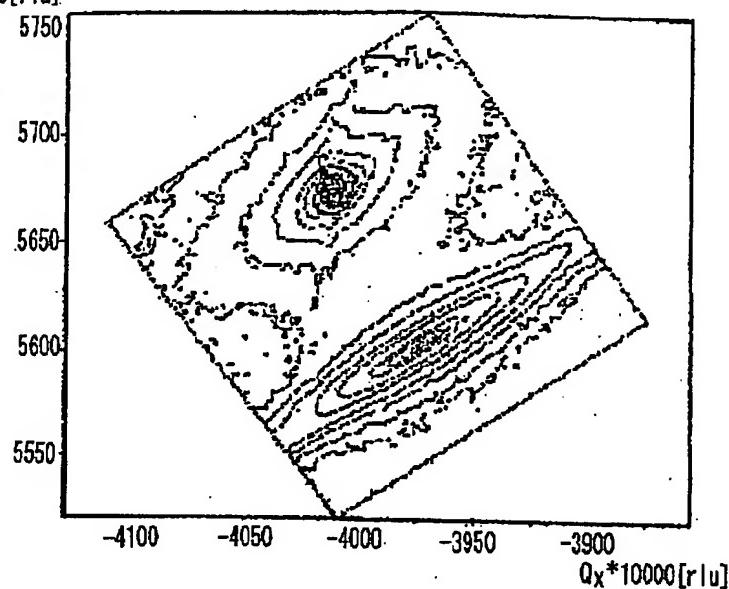
[Drawing 18]



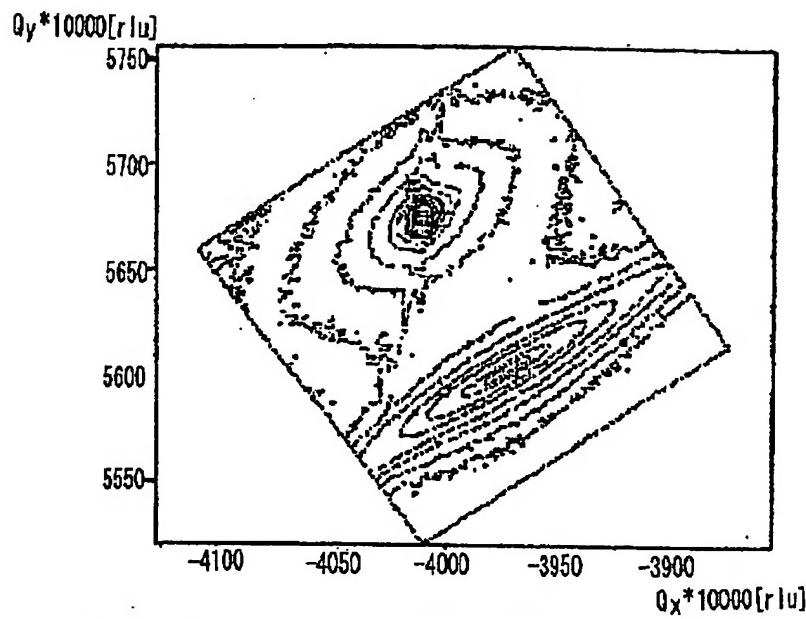
[Drawing 9]



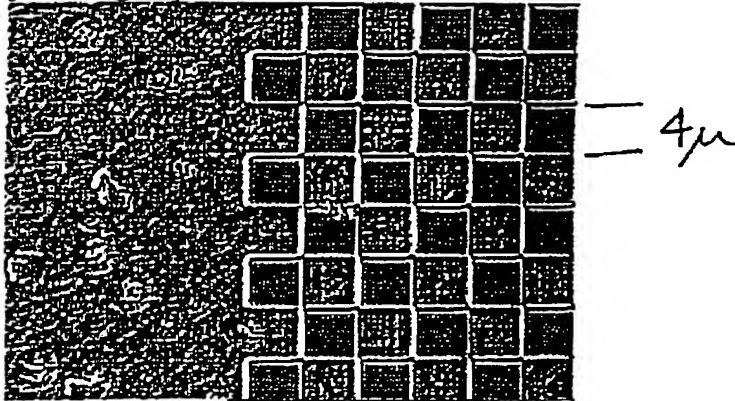
[Drawing 10]



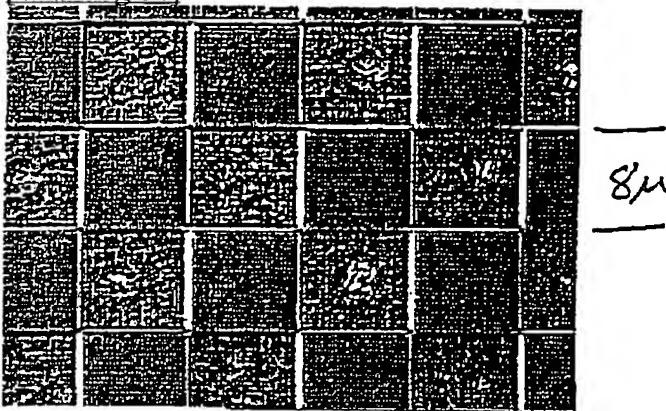
[Drawing 11]



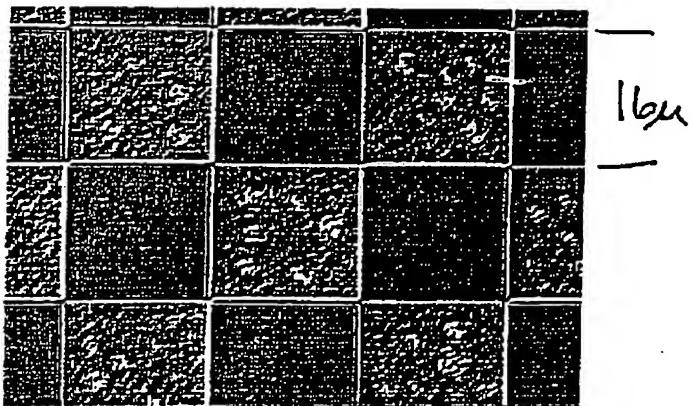
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Translation done.]